

BUS DRIVING CIRCUIT

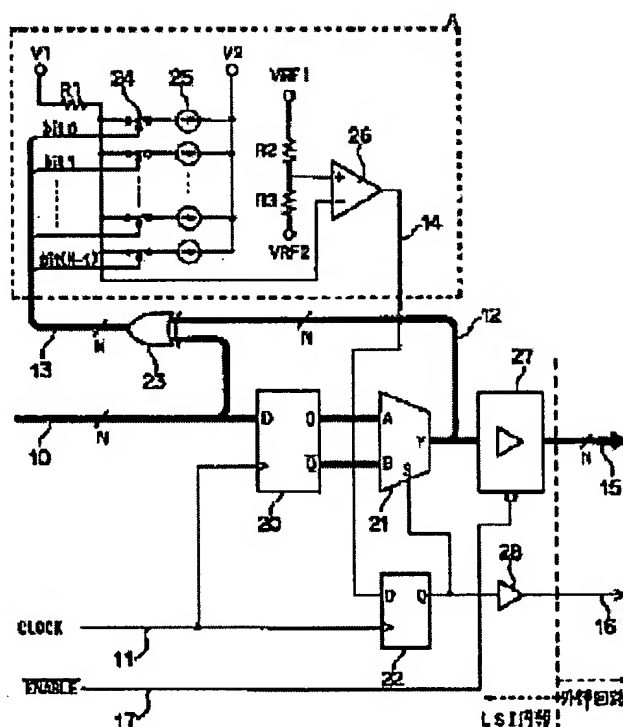
Patent number: JP7020973
Publication date: 1995-01-24
Inventor: KUROSU SHIGERU
Applicant: SONY CORP
Classification:
 - International: G06F3/00
 - european:
Application number: JP19930189332 19930701
Priority number(s):

Report a data error here

Abstract of JP7020973

PURPOSE: To limit the number of synchronous switching bits by deciding the number of bits which vary in value before and after a clock, inverting and outputting all original data at a time with a next clock and outputting a data polarity flag, and inverting received data on a reception side corresponding to the value of the polarity flag and inputting the data.

CONSTITUTION: On the transmission side, a D flip-flop 20 delays data 10 by one clock and a logic circuit 23 exclusively ORs the original data 10 with data 12, which are outputted one clock later, bit by bit. In a majority decision circuit A, the output of a comparator 26 becomes 1 only when '1' bits among all N bits become more than N/2 bits. At this time, a selector 21 outputs the inverted data 15 of the original data 15. Further, the data polarity flag becomes 1 only when the data 15 are inverted to the data 10. On the reception side, the original data are restored on the basis of the polarity flag 16.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-20973

(43)公開日 平成7年(1995)1月24日

(51)IntCl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 3/00

G

審査請求 未請求 請求項の数 2 F D (全 5 頁)

(21)出願番号 特願平5-189332

(22)出願日 平成5年(1993)7月1日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒須 茂

東京都品川区北品川6丁目7番35号 ソニー株式会社内

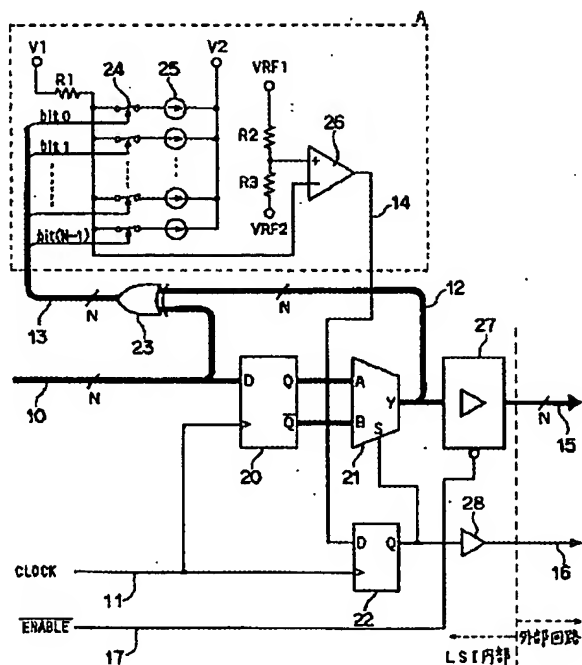
(74)代理人 弁理士 高橋 光男

(54)【発明の名称】 バス駆動回路

(57)【要約】

【目的】 従来の方法では解決しきれなくなった問題を解決でき、同時スイッチングビット数を制限できるようにする。

【構成】 送信側ではDフリップフロップ20がデータ10に1クロックの遅延をかける。オリジナルのデータ10と、1クロック後に出力されるデータ12とは、Exclusive-OR論理回路23によってビット毎の排他的論理和がとられ、その結果が多数決回路Aへ供給される。多数決回路Aでは、全Nビット中、「1」のビット数がN/2ビット以上のときにのみアナログ電圧比較器26の出力が「1」となる。従って、セレクト21では、各クロックの前後で反転したビット数の合計がN/2以上になった場合にのみオリジナルデータに対して出力端/Qからの反転されたデータ15が出力される。また、データ極性フラグ16はデータ15がデータ10に対して反転した場合にのみ「1」となる。一方、受信側では上記データ極性フラグ16に基づいてオリジナルデータが復元される。



【特許請求の範囲】

【請求項1】 マルチビットの同期式バス駆動回路において、

バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを比較し、クロックの前後で値の変化したビットの数を判定する判定手段と、判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを一度に反転して出力する反転手段と、

バス上のデータがオリジナルデータに対して反転していることを示すデータ極性フラグを出力するフラグ出力手段と、

受信側において、前記極性フラグの値に応じて、受信データを反転して取込む取込手段とを具備することを特徴とするバス駆動回路。

【請求項2】 判定手段は、デジタル入力の各ビットの重みが等しい一種のD/Aコンバータと、前記D/Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1/2に設定された電圧比較器とを有することを特徴する請求項1記載のバス駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば、コンピュータまたは通信の技術分野で用いられるマルチビットの同期式バスを駆動するバス駆動回路に関する。

【0002】

【従来の技術】 LSI等を用いた、動作周波数の高いマルチビットの同期式バス駆動回路においては、特に、その出力バッファがクロックに同期してバスを直接駆動する際に、1クロック前のデータに対して同時に反転するビット数が増えると、LSI内部回路の動作に影響を及ぼすことがある。このため、同時スイッチングビット数の制限という問題が起きてくる場合がある。そこで、従来のバス駆動回路では、LSI内部のI/Oセルの配置を工夫したり、電源ラインを強化することで解決していた。

【0003】

【発明を解決しようとする課題】 ところで、上述したマルチビットの同期式バス駆動回路においては、近年、CPUの高性能化や、バスのバンド幅の増大等に伴い、ビット数が増大する傾向にある。このため、前述したLSI内部のI/Oセルの配置を工夫したり、電源ラインを強化する方法だけでは、同時スイッチングビット数の制限という問題を回避できないという問題が生じる。

【0004】 そこで本発明は、バスのビット数の増大によって、LSI内部のI/Oセルの配置の工夫、電源ラインの強化等だけでは解決しきれなくなった問題を解決でき、同時スイッチングビット数を制限できるバス駆動回路を提供することを目的としている。

【0005】

【課題を解決するための手段】 上記目的を達成するため、本発明によるバス駆動回路は、マルチビットの同期式バス駆動回路において、バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを比較し、クロックの前後で値の変化したビットの数を判定する判定手段と、判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを一度に反転して出力する反転手段と、バス上のデータがオリジナルデータに対して反転していることを示すデータ極性フラグを出力するフラグ出力手段と、受信側において、前記極性フラグの値に応じて、受信データを反転して取込む取込手段とを具備することを特徴としている。

【0006】 また、判定手段は、デジタル入力の各ビットの重みが等しい一種のD/Aコンバータと、前記D/Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1/2に設定された電圧比較器とを有するようにしてもよい。

【0007】

【作用】 本発明では、バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを判定手段によって比較し、クロックの前後で値の変化したビットの数を判定し、該判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを反転手段により一度に反転して出力するとともに、バス上のデータがオリジナルデータに対して反転されているか、あるいは反転されていないかを示すデータ極性フラグをフラグ出力手段により出力する。一方、受信側においては、取込手段により、上記極性フラグの値に応じて、受信データを反転して取込む。この結果、マルチビットの同期式バス上において、クロックの前後でビット反転を生じる信号線の数を、判定手段により設定されるビット数以下に制限できる。

【0008】 また、判定手段において、デジタル入力の各ビットの重みが等しい一種のD/Aコンバータと、前記D/Aコンバータのアナログ出力電圧に対して、しきい値がビット数の1/2に設定された電圧比較器とを有するようにすることにより、クロックの前後でビット反転を生じる信号線の数を、常に、全ビット数の1/2以下に制限できる。

【0009】

【実施例】 以下、本発明の一実施例を図面に基づいて説明する。

【0010】 図1は本発明の一実施例の構成を示すブロック図である。なお、バスのデータビット数をNビットとして説明する。但し、Nは偶数であるものとする。

【0011】 図において、10は、内部信号バス（以下、バスという）を介して供給されるNビットのデータであり、このデータ10は、Dフリップフロップ20およびExclusive（排他的）-OR論理回路23の一方の入力端に供給される。Dフリップフロップ20は、上記

3

データ10と同数のビット構成であり、同相出力Q、反転出力/Qを有している。Dフリップフロップ20は、クロック信号11によって上記Nビットのデータ10に1クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力/Qから、それぞれ、Nビットのセクタ21の入力端A、Bに供給する。セクタ21は、セレクト信号Sが「0」の時に入力端Aに供給されたデータを出力端Yへ出力し、「1」の時に入力端Bに供給されたデータを出力端Yへ出力する。そして、セクタ21の出力端Yから出力される遅延されたデータ12は、Exclusive-OR論理回路23の他方の入力端と、出力バッファ27とに供給される。

【0012】出力バッファ27は、Nビットの外部バス15を駆動する。なお、図示する出力制御信号(/ENABLE)17は、必要に応じて、出力バッファ27の出力をハイ・インピーダンス状態にするものである。

【0013】一方、Exclusive-OR論理回路23は、オリジナルのデータ10と、1クロック後に出力されるデータ12とに対して、ビット毎のExclusive (排他

$$V_{comp-} = V1 - R1m1 \dots\dots\dots (1)$$

の電圧が印加される。一方、アナログ電圧比較器26の※ ※プラス端子には、

$$V_{comp+} = (VRF1 - VRF2) \cdot R3 / (R2 + R3) \dots\dots\dots (2)$$

の基準電圧が印加されている。

★であるから、(1)式と(2)式とから、

【0016】したがって、多数決回路では、 $m = N/2$ ★

$$R3 / (R2 + R3) = (V1 - R1 \cdot N1 / 2) / (VRF1 - VRF2) \dots\dots\dots (3)$$

となるように、抵抗器R2、R3を選択すれば、全Nビット中、「1」のビット数がN/2ビット以上のときに、アナログ電圧比較器26の出力信号14が「1」となる。このアナログ電圧比較器26の出力信号14は、Dフリップフロップ22に供給される。

【0017】このアナログ電圧比較器26の出力信号14は、Dフリップフロップ22において、Dフリップフロップ20に供給されるクロックと同じクロック信号11によって1クロックの遅延がかけられ、前述したセクタ21のセレクト信号Sとして供給されている。

【0018】したがって、セクタ21の出力データ12に注目してみると、各クロックの前後で、反転しているビット数の合計がN/2以上になると、外部バス15にはオリジナルデータに対して、反転したデータが出力される。したがって、外部バス15上のデータにおいては、クロックの前後で、反転するビット数の合計は、常にN/2以下になっている。

【0019】また、現在、出力中のデータが、オリジナルデータに対して反転しているか否かを受信側に知らせるために、データ極性フラグ16として、反転している場合は「1」、オリジナルデータと同じ場合は「0」となる信号が出力される。なお、28は、データ極性フラグ16を駆動する出力バッファである。

【0020】上述した構成において、データ10は、Dフリップフロップ20およびExclusive (排他的) - O

4

*的) - ORをとることにより、クロックの前後で反転したビットを検出する。このExclusive-OR論理回路23が出力するデータ13は、破線部Aで示すNビットの入力端を有する多数決回路に入力される。24, 24, ...は、電流スイッチであり、データ13の各ビットによってコントロールされ、「0」の時にオフ、「1」の時にオンとなる。25, 25, ...は、各ビットの電流値が1の定電流源であり、それぞれに対応する電流スイッチ24, 24, ...がオンとなることで抵抗R1に電流1を供給する。

【0014】また、26はアナログ電圧比較器であり、プラス入力端子に印加される電圧をV+、マイナス入力端子に印加される電圧をV-とすると、 $V+ \geq V-$ の時に正論理「1」、 $V+ \leq V-$ の時に負論理「0」を出力する。

【0015】上記アナログ電圧比較器26のマイナス端子には、データ13のNビット中、mビットが「1」の場合、抵抗R1に流れる電流が $m \times 1$ であることから、

R論理回路23の一方の入力端に供給される。Dフリップフロップ20は、クロック信号11によって上記Nビットのデータ10に1クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力/Qから、それぞれ、Nビットのセクタ21の入力端A、Bに供給する。セクタ21は、セレクト信号Sが「0」の時に入力端Aに供給されたデータを出力端Yへ出力し、「1」の時に入力端Bに供給されたデータを出力端Yへ出力する。そして、セクタ21の出力端Yから出力される遅延されたデータ12は、Exclusive-OR論理回路23の他方の入力端と、出力バッファ27とに供給される。

【0021】一方、Exclusive-OR論理回路23は、オリジナルのデータ10と、1クロック後に出力されるデータ12とに対して、ビット毎のExclusive (排他的) - ORをとることにより、クロックの前後で反転したビットを検出し、その結果を多数決回路Aへ供給する。多数決回路Aにおいては、全Nビット中、「1」のビット数がN/2ビット以上のときにのみ、アナログ電圧比較器26の出力信号14が「1」となる。このアナログ電圧比較器26の出力信号14は、Dフリップフロップ22に供給される。

【0022】このアナログ電圧比較器26の出力信号14は、Dフリップフロップ22において、クロック信号11によって1クロックの遅延がかけられた後、セレクト

タ21のセレクト信号Sとして供給されるとともに、出力バッファ27を介して、データ極性フラグ16として出力される。したがって、セレクト21の出力データ12に注目してみると、各クロックの前後で反転したビット数の合計が $N/2$ 以上になった場合にのみ、外部バスには、オリジナルデータに対して出力端/Qから出力される反転したデータ15が出力され、上記ビット数の合計が $N/2$ より小さい場合には、出力端Qから出力されるデータ10と同一のデータ15が出力される。また、データ極性フラグ16は、データ15がオリジナルのデータ10に対して反転している場合は「1」、オリジナルのデータ10と同じ場合は「0」となる。

【0023】次に、図2は同実施例の受信側の構成を示すブロック図である。この図において、バッファ40は、外部回路より供給されるデータ30をNビットのDフリップフロップ41に供給する。上記データ30は、図1に示すデータ15に相当する。Dフリップフロップ41は、同相出力Q、反転出力/Qを持ち、クロック信号33によって上記外部バス上にあるNビットのデータ30に1クロックの遅延をかけた後、このNビットのデータを同相出力Q、反転出力/Qから、それぞれ、Nビットのセレクト42の入力端A、Bに供給する。

【0024】また、32は、図1に示すデータ極性フラグ16と同一のものであって、このデータ極性フラグ32は、バッファ43を介して、Dフリップフロップ44に供給される。Dフリップフロップ44は、データ極性フラグ32をクロック信号33によって1クロックの遅延をかけ、これをセレクト22のセレクト信号Sとして供給するようになっている。

【0025】セレクト42は、セレクト信号Sが「0」の時に入力端Aに供給されたデータを出力端Yへ出力し、「1」の時に入力端Bに供給されたデータを出力端Yに出力する。このセレクト信号Sは、セレクト42の入力信号に同期（遅延）したデータ極性フラグ32によって切り替えられる。なお、Dフリップフロップ41と44とは、各々、クロック信号33が供給されており、このクロック信号33は、図1に示すクロック信号11と周波数、および位相が一致しているものとする。

【0026】上述した構成において、データ30は、バッファ40を介してDフリップフロップ41に供給される。Dフリップフロップ41は、クロック信号33によってデータ30に1クロックの遅延をかけた後、これを同相出力Q、反転出力/Qからそれぞれ出力する。また、データ極性フラグ32は、バッファ43を介してDフリップフロップ44に供給される。Dフリップフロップ44は、データ極性フラグ32をクロック信号33によって1クロックの遅延をかけた後、これをセレクト22のセレクト信号Sとして出力する。

【0027】したがって、セレクト42においては、セレクト信号Sが「0」の場合、すなわち、外部回路から

供給されたデータ30（15）がオリジナルのデータ10と同じ場合には、入力端Aに供給されたそのままのデータ15が出力端Yへ出力され、セレクト信号Sが「1」の場合、すなわち、外部回路から供給されたデータ30（15）がオリジナルのデータ10に対して反転されている場合には、入力端Bに供給された、反転されたデータ10が出力端Yへ出力される。以上から、内部バス31には、図1の10と同じオリジナルデータが復元される。

【0028】なお、ここでは、全ビット数の $1/2$ に対して、同時スイッチングの制限ビット数に多少の余裕があるようにすべきであり、したがって、多数決回路Aは高精度である必要はない。

【0029】

【発明の効果】以上説明したように、本発明のバス駆動回路では、送信側において、バス上に1クロック前に送出したデータと、次のクロックで送出するオリジナルデータとを判定手段によって比較し、クロックの前後で値の変化したビットの数を判定し、該判定結果に基づいて、次のクロックでバス上に送出するオリジナルデータを反転手段により一度に反転して出力するとともに、バス上のデータがオリジナルデータに対して反転されているか、あるいは反転されていないかを示すデータ極性フラグをフラグ出力手段により出力し、一方、受信側においては、取込手段により、上記極性フラグの値に応じて、受信データを反転して取込むようにしたため、クロックの前後でビット反転を生じる信号線の数を、判定手段により設定されるビット数以下に制限できる。また、判定手段において、デジタル入力各ビットの重みが等しい一種のD/Aコンバータと、前記D/Aコンバータのアナログ出力電圧に対して、しきい値がビット数の $1/2$ に設定された電圧比較器とを有するようにすることにより、クロックの前後でビット反転を生じる信号線の数を、常に全ビット数の $1/2$ 以下に制限できる。したがって、LSI等を用いて特にその出力バッファが、クロックに同期してバスを直接駆動する際に生じる、同時スイッチング・ビット数の制限という課題において、バスのビット数の増大によって、LSI内部のI/Oセルの配置の工夫、電源ラインの強化等だけでは解決しきれなくなった問題を解決できるという利点が得られる。

【図面の簡単な説明】

【図1】本発明に係るバス駆動回路の送信側の一実施例の構成を示すブロック図である。

【図2】同実施例の上記バス駆動回路の受信側の一実施例の構成を示すブロック図である。

【符号の説明】

A 多数決回路部（判定手段）

10, 12, 15 データ

11 クロック信号

13 NビットExclusive-OR出力信号

